

<b>Óbudai Egyetem</b>				
<b>Alba Regia Műszaki Kar</b>				
<b>Tantárgy neve és kódja:</b> VHDL programozás AMVVHPIBNE		<b>Kreditérték: 4</b>		
Nappali tagozat		2023/24 tanév		1. félév
Szakok, melyeken a tárgyat oktatják: mérnökinformatikus				
Tantárgyfelelős oktató:		Oktatók:	Tolner Nikoletta mestertanár	
Előtanulmányi feltételek: (kóddal)		Digitális rendszerek AMXDR0IBNE		
Heti óraszámok:	Előadás:2	Tantermi gyak.:	Laborgyakorlat: 3	Konzultáció:
Számonkérés módja (s,v,f):	évközi jegy			
<b>A tananyag</b>				
<i>Oktatási cél:</i> A hallgatók ismerkedjenek meg a korszerű áramkörök kialakítási lehetőségeivel, a hardver programozható logikák alapjaival. Laboratóriumi munka keretében használják, és programozzák a megismert programozható logikai áramkört.				
<i>Tematika:</i> <i>Az előadások online formában kerülnek megtartásra (elearning), a laborgyakorlatok személyes jelenléttel.</i>				
<ul style="list-style-type: none"> <li>- Programozható logikai áramkörök általános felépítése</li> <li>- Programozható logikai áramkörök típusa</li> <li>- VHDL nyelv története, nyelvi elemek</li> <li>- VHDL program felépítése</li> <li>- VHDL Adatok</li> <li>- VHDL Utasítások</li> <li>- VIVADO program</li> <li>- Kombinációs hálózatok megvalósítása VHDL nyelven</li> <li>- Sorrendi hálózatok megvalósítása VHDL nyelven</li> </ul>				
<b>Témakör</b>				<b>Laborgyakorlatok előtt</b>
<b>Előadások (elearning)</b>				<b>felkészülni</b>
Programozható logikai áramkörök				
VHDL 1. A nyelv története, nyelvi elemek VHDL 2. A program felépítése				
VHDL 3. Adatok VHDL 4. Utasítások				
VHDL 5. Példák kombinációs hálózatokra (alapkapuk, késleltetés) VHDL 6. Példák kombinációs hálózatokra (kimenetek)				
VHDL 7. Példák kombinációs hálózatokra (multiplexerek, demultiplexerek)				
VHDL 8. Példák kombinációs hálózatokra (aritmetikai áramkörök)				
VHDL 9. Példák sorrendi hálózatokra (flip-flop-ok)				
VHDL 10. Példák sorrendi hálózatokra (Léptetőregiszter)				
VHDL 11. Példák sorrendi hálózatokra (Számlálók)				
VHDL 11. Példák sorrendi hálózatokra (Számlálók)				
1. zh teszt az elméleti anyagrészből, megbeszélte időpontban.				

<b>Laborgyakorlatok</b>		<b>heti bontás</b>
Vivado programrendszer megismerése		szept. 13.
VHDL 5. Példák kombinációs hálózatokra (alapkapuk, késleltetés) VHDL 6. Példák kombinációs hálózatokra (kimenetek)		szept. 20.
VHDL 7. Példák kombinációs hálózatokra (multiplexerek, demultiplexerek)		szept. 27.
VHDL 8. Példák kombinációs hálózatokra (aritmetikai áramkörök)		okt. 04.
2. zh gépes		okt. 11.
VHDL 9. Példák sorrendi hálózatokra (flip-flop-ok)		okt. 18.
VHDL 10. Példák sorrendi hálózatokra (Léptetőregiszter)		okt. 25.
<b>Szünet</b>		nov. 01.
VHDL 10. Példák sorrendi hálózatokra (Léptetőregiszter)		nov. 08.
VHDL 11. Példák sorrendi hálózatokra (Számlálók)		nov. 15.
<b>Szünet</b>		nov. 22.
VHDL 11. Példák sorrendi hálózatokra (Számlálók)		nov. 29.
3. zh gépes		dec. 06.
pótlás		dec. 13.
<b>Félévközi követelmények</b>		
<b>A pótlás módja:</b>	A tesztek folyamatosan pótolhatók. Mindegyik zárthelyi 1-szer pótolható, előre egyeztetett időpontban, illetve legkésőbb a szorgalmi időszak utolsó hetében. Csak az elégtelen zárthelyit kell újra írni. Elégtelen félévközi jegyet a vizsgaidőszak elején (első 10 munkanap) aláíráspótló vizsga címén lehet egyszer javítani.	
<b>Félévközi követelmények:</b> Az előadások elearning rendszerben folynak, a feltöltött anyagokból kell felkészülni és megírni a tesztek minimum 50%-ra. A laborgyakorlatokon való részvétel kötelező.		
Mind a 3 zárthelyit minimum elégségesre kell teljesíteni. Ha mind a 3 zárthelyi legalább elégséges értékelésű, és a kiadott tesztek minimum 50%-osak, akkor a 3 zárthelyi jegy átlaga adja a félévközi jegyet. 1. zh: teszt 2. zh: a laborgyakorlaton egy kiadott feladat megvalósítása 3. zh: a laborgyakorlaton egy kiadott feladat megvalósítása		
<b>Zárthelyik értékelése:</b> 49%-ig elégtelen 50 % - 59% elégséges 60 % - 74 % közepes 75 % - 84 % jó 85 % > jeles		
<b>Irodalom:</b>		
Kötelező	A MOODLE felületre feltöltött anyagok	
Ajánlott	Dr. Turóczi Antal: Digitális rendszerek Dr. Hosszú Gábor, Keresztes Péter: Vhdl-alapú rendszertervezés	